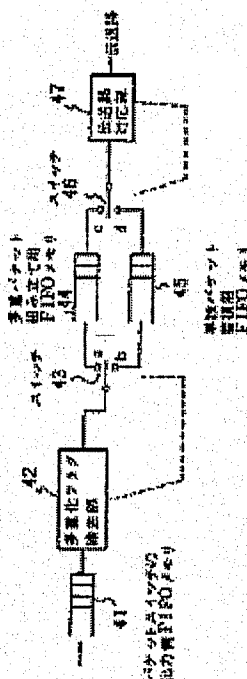


**MULTIPLEX PACKET SYSTEM****Publication number:** JP62219732**Publication date:** 1987-09-28**Inventor:** TSUTSUI HIDEKAZU; NOJIMA SATOSHI; HASHIMOTO MASAMICHI; KANOCHI JUNICHI; SAKAKAWA KAZUO**Applicant:** FUJITSU LTD**Classification:****- international:** (IPC1-7): H04L11/20**- European:****Application number:** JP19860061510 19860319**Priority number(s):** JP19860061510 19860319

Report a data error here

**Abstract of JP62219732**

**PURPOSE:**To improve the utilizing efficiency by providing a packet reconstituting means using a multiplexing FIFO so as to multiplex and send a packet when a flag representing the possibility of multiplexing is set in the inputted packet and sending the packet as it is when the flag representing disabled multiplexing is set. **CONSTITUTION:**When the packet exists in the 2nd FIFO memory, it is absorbed and inputted to a multiplexing flag eliminating section 42 in a transmission line sending section. When a certain degree of unit packets are stored in a multiplex packet assembling FIFO memory 44 in a transmission line adaptor section 47, a switch 46 is outputted to the position (c) to output the content of the multiplex packet assembling FIFO memory 44 and they are sent to the transmission line as a multiplex packet. In other cases, the switch 46 is switched to the position (d) and the content of a single packet storage FIFO memory 45 is sent to the transmission line as a unit packet. Further, in sending a packet in the transmission line adaptor section 47, a frame check sequence FCS and a flag F are added to the packet and the result is sent to the transmission line. Thus, the transmission efficiency is improved.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-219732

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)9月28日

H 04 L 11/20

102

A-7117-5K

審査請求 未請求 発明の数 1 (全14頁)

⑮ 発明の名称 多重パケット方式

⑯ 特 願 昭61-61510

⑰ 出 願 昭61(1986)3月19日

⑱ 発 明 者	筒 井	英 一	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	野 島	聡	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	橋 本	正 道	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	叶 内	順 一	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	坂 川	和 男	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富 士 通 株 式 会 社		川崎市中原区上小田中1015番地	
⑳ 代 理 人	弁 理 士 玉 蟲 久 五 郎		外 1 名	

## 明 細 書

## 1. 発明の名称 多重パケット方式

## 2. 特許請求の範囲

ヘッダ部に論理チャネル番号を有し該論理チャネル番号を用いてパケットの交換処理を行うパケット通信方式において、

入力パケットを交換処理するパケット交換部に、入力パケットに付与された論理チャネル番号から定められる呼の属性によつて多重化されていることが示されていないパケットはそのまま、多重化されていることが示されているパケットは該呼の属性から定まるパケット長分ずつ順次単体パケットとして分離して出力するパケット転送手段(101)と、

該パケット転送手段(101)の出力パケットにおける論理チャネル番号を更新して出力する論理チャネル番号更新手段(102)と、

該論理チャネル番号更新手段(102)の出力パ

ケットに対して該論理チャネル番号によつて定められる呼の属性に応じてパケットの多重化の可否を示す多重化フラグを付加して出力する多重化フラグ付加手段(103)とを設け、

パケット交換部からのパケットを伝送路に送出する伝送路送信部に、多重化用先入れ先出し(FIFO)メモリを具えて入力したパケットに多重化可能を示すフラグが立っているとき該パケットを該多重化用FIFOを用いて多重化して送出し、多重化不能を示すフラグが立っているときはそのまま送出するパケット再構成手段(104)を設けたことを特徴とする多重パケット方式。

## 3. 発明の詳細な説明

## (目 次)

## 概 要

産業上の利用分野

従来の技術(第14図)

発明が解決しようとする問題点

問題点を解決するための手段(第1図)

## 作 用

## 実施例

第1の実施例 (第2図～第5図)

第2の実施例 (第6図～第9図)

変形例 (第10図～第13図)

## 発明の効果

## 〔概 要〕

ヘッダ部に論理チャネル番号を有し該論理チャネル番号を用いてパケットの交換処理を行うパケット通信方式における入力パケットを交換処理するパケット交換部において、入力パケットに付与された論理チャネル番号から定められる呼の属性によつて多重化されていることが示されていないパケットはそのまま、多重化されていることが示されているパケットは呼の属性から定まるパケット長分ずつ順次単体パケットとして分離し、次にこの出力パケットにおける論理チャネル番号を更新し、さらにこの出力パケットに対して論理チャネル番号によつて定められる呼の属性に応じてパ

ケットの多重化の可否を示す多重化フラグを付加して伝送路送信部または端末に送出する。伝送路送信部では、多重化用先入れ先出し (FIFO) メモリを具えて入力したパケットに多重化可能を示すフラグが立っているときこのパケットを多重化用FIFOを用いて多重化して送出し、多重化不能を示すフラグが立っているときはそのまま送出することによつて、次段のパケット交換部において再び上記と同じ処理を行う。端末では多重化フラグを除去したのち所要の処理を行う。

## 〔産業上の利用分野〕

本発明はパケット通信方式に係り、特に伝送路上において複数のパケットをまとめて送ることによつて伝送路の利用効率を向上させることができる多重パケット方式に関するものである。

パケット通信方式は高速大容量の情報伝送を目的とするものであり、従つてパケットの伝送路における占有時間の無駄を極力少なくして、伝送路の利用効率を向上させることが必要される。

このためには、パケットにおける制御用の情報を送るヘッダ部を、極力縮小することが必要であつて、その手段として伝送路上のパケットを付加情報なしに多重化して、受信側においてパケット交換機の論理チャネル番号判定機能を用いて分解できるようにすることが要望される。

特にパケットによる音声通信や画像通信の場合には、端末から発生するパケットの長さが一定であり、従つてパケット長は呼設定時に定まる。そこで多重化の対象となるパケットを、このような一定長のものに限定した場合、多重化による伝送効率の向上の効果が大きい。

## 〔従来の技術〕

従来のパケット通信方式においては、第14図に示すようにデータ<sup>(3)</sup>に、伝送路上におけるパケットの境界を示すためのパターンすなわちフラグパターン1を付加するとともに、ビット誤りをチェックするためのパターンすなわちフレームチェックシーケンス2を付加してパケットを組み立て、こ

れによつて通信を行う方式が一般的である。そのためパケットが短い場合には、データ部分と比較してフラグパターンやフレームチェックシーケンスの部分の比率が大きくなり、伝送効率が低下する。

これに対して、複数のパケットを接続して大きなパケット (多重パケット) を構成し、これにフラグパターンとフレームチェックシーケンスを1組付加することによつて、フラグパターンとフレームチェックシーケンスの部分が占める比率を低下させて、伝送効率を向上させる試みが従来からなされている。

## 〔発明が解決しようとする問題点〕

しかしながら従来の多重パケット方式においては、多重パケット構成時、パケットの多重化に関する情報すなわちそれぞれのパケットの長さを示す情報等を付加して多重パケットと同時に伝送し、受信側においてこの情報に基づいて、多重化されたパケットを個々のパケットに分解するようにし

ていた。

そのため多重パケットの長さが増大し、伝送路の利用効率をそれほど向上させることができないという問題があつた。

#### 〔問題点を解決するための手段〕

本発明はこのような従来技術の問題点を解決しようとするものであつて、ヘッダ部に論理チャネル番号を有しこの論理チャネル番号を用いてパケットの交換処理を行うパケット通信方式において、第1図に示すような原理的構成を有している。

すなわち入力パケットを交換処理するパケット交換部に次の各手段を具える。

101 はパケット転送手段であつて、入力パケットに付与された論理チャネル番号から定められる呼の属性によつて多重化されていることが示されていないパケットはそのまま出力し、多重化されていることが示されているパケットは呼の属性から定まるパケット長分ずつ順次単体パケットとして分離して出力する。

チャネル番号によつて交換処理を行う場合に、入力パケットを交換処理するパケット交換部において、入力パケットに付与された論理チャネル番号からこの属性を調べて、多重化されていることが示されていないパケットはそのまま、多重化されていることが示されているパケットはこの呼の属性から定まるパケット長分ずつ順次単体パケットとして分離して出力し、次にこの出力パケットにおける論理チャネル番号を新たな論理チャネル番号に付け換えて出力し、さらにこの出力パケットに論理チャネル番号によつて定められる呼の属性に応じてパケットの多重化の可否を示す多重化フラグを付加して伝送路送信部または端末に出力する。

伝送路送信部では、パケット交換部の出力パケットに多重化可能を示すフラグが立っているときこのパケットを多重化用FIFOを用いて多重化して送出し、多重化不能を示すフラグが立っているときはそのまま伝送路に送出する。

伝送路に送出されたパケットは、次のパケット交換部において、再び上記と同様の処理を行われ

102 は論理チャネル番号更新手段であつて、パケット転送手段(101)の出力パケットにおける論理チャネル番号を更新して出力する。

103 は多重化フラグ付加手段であつて、論理チャネル番号更新手段(102)の出力パケットに対して論理チャネル番号によつて定められる呼の属性に応じてパケットの多重化の可否を示す多重化フラグを付加して出力する。

またパケット交換部からのパケットを伝送路に送出する伝送路送信部に次の手段を具える。

104 はパケット再構成手段であつて多重化用FIFOメモリを具えて到来したパケットに多重化可能を示すフラグが立っているときパケットを多重化用FIFOを用いて多重化して送出し、多重化不能を示すフラグが立っているときはそのまま送出する。

#### 〔作用〕

本発明の多重パケット方式では、パケットの交換ヘッダに論理チャネル番号を付加してこの論理

る。また端末に送出されたパケットは端末で多重化フラグを除去されたのち処理される。

#### 〔実施例〕

##### 〔第1の実施例〕

第2図は本発明の一実施例の全体構成を示したものである。11-1、11-2はそれぞれ端末を示し、それぞれパケットスイッチ12-1、12-2に接続されている。13-1、13-2はそれぞれ伝送路送信部であつて、パケットスイッチ12-1、12-2からのパケットを伝送路に送出する。14は伝送路受信部であつて、伝送路からのパケットをパケットスイッチ12-2に接続する。

第3図は第2図に示された通信系において、端末11-1から端末11-2に至る経路を考えた場合における、各部のパケット形式を示したものである。

第3図において①は端末11-1で発生した単体パケット、②はパケットスイッチ12-1から送出されるパケット、③、③'は伝送路送信部13-1

から伝送路上に送出されるパケットであつて、③は多重化されたパケットを示し、③'は多重化されないパケットを示している。④、④'は伝送路受信部14からパケットスイッチ12-2に対して送出される多重化されたパケット、⑤はパケットスイッチ12-2から端末11-2に対して送出されるパケットである。

端末11-1において発生したパケットは、第3図において④で示すような形式の単体パケットであつて、データの先頭に端末と対応するパケットスイッチとの間の論理チャネルを示す論理チャネル番号(LCN)として、N<sub>0</sub>を付加して構成されている。

このパケットはパケットスイッチ12-1において、②に示すように論理チャネル番号から転送先の伝送路を決定され、論理チャネル番号をN<sub>1</sub>に付け換えられるとともに、多重化の可否を示す多重化フラグMFを先頭に付加されて、伝送路送信部13-1に送出される。多重化フラグは、“1”のとき多重化可能なパケットであることを示し、

“0”のとき多重化不可能なパケットであることを示している。

伝送路送信部13-1では多重化可能なパケットを複数個縦続に接続して、後尾にフレームチェックシーケンスFCSを付加するとともに、先頭と最後尾にフラグFを付加して、⑤に示すとき多重パケットを作成して伝送路へ送出する。また多重化不能パケットの場合は、単体のままで多重化フラグを除去し、フレームチェックシーケンスFCSとフラグFを付加して、④'に示すようなパケットを作成して伝送路へ送出する。

このようにして多重化されたパケットと、単体のパケットとが混在して伝送路上を転送される。

伝送路受信部14では、受信したパケットから④、④'に示すようにフラグFとフレームチェックシーケンスFCSとを除去して、パケットスイッチ12-2に送る。

パケットスイッチ12-2では、入力したパケットの先頭の論理チャネル番号を調べる。論理チャネル番号がN<sub>2</sub>であつたとし、論理チャネルN<sub>2</sub>

が多重化不能なものであつたときは、そのパケットは単体パケットとして交換処理が行われる。第3図において⑤は端末11-2に対する単体パケットを示し、論理チャネル番号をN<sub>5</sub>に付け換えられている。また論理チャネルN<sub>2</sub>が多重化可能なものであつたときは、そのパケットは多重化されているものとして、そのパケットから論理チャネルN<sub>2</sub>に定義されているパケット長分を単体パケットとして分離して交換処理を行う。論理チャネル番号N<sub>3</sub>、N<sub>4</sub>についても、このような処理を繰り返して、多重パケットをすべて単体パケットに分離し、それぞれの分離されたパケットについて交換処理を行う。パケットスイッチ13-2の交換処理においても、前述と同様に多重化フラグの付加が行われる。ただし端末に対するパケットは、端末側で多重化フラグが除去される。第3図⑥はこの状態のパケットを示したものである。

第4図はパケットスイッチの構成の一例を示したものである。同図において、21-1、21-2は端末、22は第3図に示されたと同じ伝送路受信部

である。23-1~23-3は入力FIFOメモリ、24は入力用バス、25は入力FIFO23-1~23-3をポーリングするアドレスを発生するポーリングアドレス発生部、26はパケットにおける論理チャネル番号(LCN)をラッチするLCNラッチ、27はパケットの交換処理に必要な各種データを記憶するマッピングRAM、28はパケットの転送処理を行うパケット転送部、29はパケット長をカウントするためのパケット長カウンタ、30はパケットに新しい論理チャネル番号を付け換える新LCN付け換え部、31は多重化フラグを付加する多重化フラグ付加部、32は出力用バス、33-1~33-3は出力FIFOメモリ、34-1、34-2は端末、35は第3図における同じ伝送路送信部である。

端末21-1、21-2や伝送路受信部22から入力されたパケットは、入力FIFOメモリ23-1~23-3に一旦蓄積される。これらの入力FIFOはすべて入力用バス24に接続されていて、その内容はポーリングアドレス発生部25からのアドレス指定に応じて読み出されて、パケット転送部26へ

転送される。これと同時にパケットの先頭の論理チャネル番号が、LCNラッチ26にラッチされる。

マッピングRAM27はボーリングした入力FIFOメモリのアドレス値を上位アドレスとし、LCNラッチ26にラッチされた論理チャネル番号を下位アドレスとして与えられることによつて、そのパケットについての、出力FIFOメモリのアドレス、多重化フラグ、新たな論理チャネル番号およびパケット長のデータを出力する。

パケットの多重化フラグが“0”であれば、パケット転送部28はパケットが単体パケットであると判断して、そのまま新LCN付け換え部30へ転送する。また多重化フラグが“1”であれば、パケット長の値をパケット長カウンタ29にセットし、パケット転送部28はパケットを1バイト新LCN付け換え部30に転送するごとに、パケット長カウンタ29の値を1ずつ減算する。

パケット長カウンタ29の値が0になつたとき、パケット長カウンタ29からのパケット終了信号に応じてこれまでに転送したデータを単体パケット

として分離し、残りの部分の先頭にある論理チャネル番号を、再びLCNラッチ26にラッチする。そして上述と同様の処理を繰り返す。

このようにして多重パケットが次々に単体パケットに分離されて、新LCN付け換え部30に転送される。新LCN付け換え部30では分離された単体パケットの論理チャネル番号を付け換えて、多重化フラグ付加部31に入力する。多重化フラグ付加部31では入力された単体パケットの先頭に多重化フラグを付加し、マッピングRAM27からの出力FIFOメモリ選択アドレスに応じて、出力FIFOメモリ33-1~33-3に入力する。これによつてさらに出力FIFOメモリから、端末34-1, 34-2や伝送路送信部35にパケットが転送される。

第5図は伝送路送信部の構成例を示したものである。同図において、41はパケットスイッチの出力側FIFOメモリを示し、42は多重化フラグ除去部、43はスイッチ、44は多重パケット組み立て用FIFOメモリ、45は単独パケット蓄積用FIFO

FIFOメモリ、46はスイッチ、47は伝送路対応部である。

パケットスイッチの出力側FIFOメモリ41に蓄積された単体パケットは伝送路送信部に転送され、多重化フラグ除去部42に入力される。多重化フラグ除去部42は入力されたパケットの多重化フラグに応じてスイッチ43を操作すると同時に多重化フラグを除去する。多重化可能フラグはa側に切り替えて多重パケット組み立て用FIFOメモリ44に入力し、多重化不能パケットはb側に切り替えて単独パケット蓄積用FIFOメモリ45に入力する。伝送路対応部47では、多重パケット組み立て用FIFOメモリ44にある程度の個数の単体パケットが蓄積されたとき、スイッチ46をc側に操作して多重パケット組み立て用FIFOメモリ44の内容を出力させ、それらをまとめて多重パケットとして伝送路に送出する。それ以外のときはスイッチ46をd側に切り替えて、単独パケット蓄積用FIFOメモリ45の内容を単体パケットとして伝送路に送出する。また伝送路対応部47では、

パケットを伝送路に送出する際、フラグとフレームチェックシーケンスの付加を行う。

このように第2図ないし第5図に示された実施例では、短いパケットを複数個まとめて、一つのパケットとして伝送することができ、この際複数個のパケットをまとめることによつて、新たな情報の付加を必要としないので、伝送路の伝送容量を増加することができ、従つて伝送路の利用効率を向上することができる。

上述の実施例は一本のバス上においてパケットの多重化を行う場合を述べているが、本発明はマトリクス型のスイッチングユニットを用いた場合にも適用することができる。

#### (第2の実施例)

第6図は本発明が適用されるスイッチングユニットの全体構成を示したものである。同図において、50-1, ..., 50-mはXバス51-nに接続される第1のFIFOメモリであつてそれぞれ伝送路や端末に接続されている。51-1, 51-2, ...,

51-nは入力側のXバスであつて、それぞれに複数の第1のFIFOメモリ(Xバス51-nについてのみ示されているが、他のXバスについても同様とする)が接続される。52-1, 52-2, ..., 52-nはそれぞれXバス51-1, 51-2, ..., 51-nの packets を出力側のXバス53-1, 53-2, ..., 53-nに転送する受信転送回路である。Xバス53-1, 53-2, ..., 53-nにはそれぞれ複数の第3のFIFOメモリ54-1, 54-2, ..., 54-k(Xバス53-1についてのみ示されているが、他のXバスについても同様とする)が接続される。第3のFIFOメモリはマトリクス構造をなし、その出力側はYバス55-1, 55-2, ..., 55-kに接続されている。56-1, 56-2, ..., 56-kは送信転送回路であつて、入力側のYバス55-1, 55-2, ..., 55-kの packets をそれぞれ出力側のYバス57-1, 57-2, ..., 57-kに転送する。出力側のYバス57-1, 57-2, ..., 57-kには、それぞれ複数の第2のFIFOメモリ58-1, ..., 58-l(Yバス57-1について

のみ示されているが、他のYバスについても同様とする)が接続される。

第6図において伝送路や端末から到着した packets は、第1のFIFOメモリ50-1, ..., 50-m等に一旦蓄積される。受信転送回路52-1, 52-2, ..., 52-nは、第1のFIFOメモリ50-1, ..., 50-m等をポーリングし、 packets をその論理チャネル番号に応じて選択された第3のFIFOメモリ54-1, 54-2, ..., 54-k等に転送し、第3のFIFOメモリはこれを一旦蓄積する。送信転送回路56-1, 56-2, ..., 56-kは、第3のFIFOメモリ54-1, 54-2, ..., 54-k等をポーリングし、 packets をその論理チャネル番号に応じて選択された第2のFIFOメモリ58-1, ..., 58-l等に転送し、さらに第2のFIFOから伝送路や端末に送出することによつて、 packets の交換処理が行われる。

第7図は第6図に示されたスイッチングユニットにおいて、各部を通過する packets の形式を示したものであつて、(a)は受信した単体 packets 、

(b)は受信した多重 packets 、(c)は受信転送部から第3のFIFOメモリに転送される packets 、(d)は第2のFIFOメモリから伝送路送信部に転送される packets 、(e)は送信される単体 packets 、(f)は送信される多重 packets である。

第8図は受信転送回路の構成例を示したものであつて、61は第1のFIFOメモリをポーリングするアドレスを発生するポーリングアドレス発生部、62は packets における論理チャネル番号(LCN)をラッチするLCNラッチ、63は packets の交換処理に必要な各種データを記憶するマッピングRAM、64は packets の転送処理を行う packets 転送部、65は packets 長をカウントするための packets 長カウンタ、66は packets に新しい論理チャネル番号を付け換える新LCN付け換え部、67は多重化フラグおよび第2FIFOメモリアドレスを付加する多重化フラグ・第2FIFOメモリアドレス付加部である。

伝送路や端末から到着した packets は、一旦第1のFIFOメモリに蓄積される。受信した packets

は単体 packets のときは、第7図(a)に示すようにデータの先頭に論理チャネル番号LCNが付加されており、多重 packets のときは、データの先頭に論理チャネル番号LCNが付加されたものが、複数個縦続に接続されている。ポーリングアドレス発生部61は、第1のFIFOメモリをポーリングするアドレスを発生する。このアドレスで指定された第1のFIFOメモリに packets があると、まず packets の先頭における論理チャネル番号がLCNラッチ62にラッチされる。

マッピングRAM63はポーリングした第1のFIFOメモリのアドレス値を上位アドレスとし、LCNラッチ62にラッチした論理チャネル番号を下位アドレスとして、第3FIFOメモリのアドレスとともに、多重化フラグ、第2FIFOメモリのアドレス、新たな論理チャネル番号および packets 長のデータを出力する。

多重化フラグが"0"であれば、 packets 転送部64は packets が単体 packets であると判断して、第3FIFOメモリアドレスによつて転送先の第

3 F I F Oメモリを選択し、パケット転送部64を経てパケットを新L C N付け換え部66に転送して、その論理チャネル番号を新な論理チャネル番号に付け換え、さらに多重化フラグ・第2 F I F Oメモリアドレス付加部67で多重化フラグ("0")と第2 F I F Oメモリアドレスを付加して、第3 F I F Oメモリへ転送すると同時に、パケット長カウンタ65にパケット長をセットする。第7図(ハ)は受信転送回路から第3 F I F Oメモリへ転送されるパケットを示し、M Fは多重化フラグを示している。

多重化フラグが"1"であつたときは、パケット転送部64はパケットが多重パケットであると判断して、第3 F I F Oメモリアドレスによつて転送先の第3 F I F Oメモリを選択し、パケットの先頭に多重化フラグ("1")と第2 F I F Oメモリアドレスを付加して、第3 F I F Oメモリへ転送する。パケット長カウンタ65は1バイト転送ごとに1ずつ減算され、パケット長分転送すると内容が0となつてパケット終了信号が送出され、

単体パケットの転送が終了する。転送されるパケットの形式は第7図(ハ)のようになる。

次に第1のF I F Oメモリに残つた部分の先頭には、多重パケットにおける第2番目のパケットが現れる。そこでこれを吸い上げて先頭の論理チャネル番号をL C Nラッチ62にラッチすると、再びマツピングRAM63の出力が定まり、第3 F I F Oメモリアドレスとともに、多重化フラグ、第2 F I F Oメモリアドレス、新な論理チャネル番号およびパケット長のデータが出力されるので、同様にして、第1のF I F Oメモリからパケット長分のデータが第3 F I F Oメモリへ転送される。

このような動作を繰り返すことによつて、多重パケットが次々と第7図(ハ)の形の単体パケットに分解・変換されて、第3 F I F Oメモリへ転送される。

第9図は送信転送回路の構成を示したものであつて、71はボーリングアドレス発生カウンタ、72は第2 F I F Oメモリアドレス除去部、73は第2

F I F Oメモリアドレスレジスタである。

ボーリングアドレス発生カウンタ71は、第3 F I F Oメモリを指定するアドレスを発生する。指定されたアドレスの第3 F I F Oメモリにパケットがあると、パケットは吸い上げられてその先頭にある第2 F I F Oメモリアドレスが、第2 F I F Oメモリアドレスレジスタ73にラッチされる。残りの部分は第2 F I F Oメモリアドレス除去部72に転送されてパケットの先頭の第2 F I F Oメモリアドレスを除去されて第7図(ハ)に示す形式となつて、そのアドレスの第2 F I F Oメモリに入力される。

第2 F I F Oメモリのデータを伝送路へ送出する伝送路送信部の構成は第5図に示されたものと同様である。

伝送路送信部では、第2 F I F Oメモリにパケットがあると、これを吸い上げて多重化フラグ除去部42に入力し、多重化フラグが"1"であれば多重化フラグを除去するとともに、スイッチ43をa側に操作して多重化パケット組み立て用F I F

Oメモリ44に入力する。多重化フラグが"0"であれば、多重化フラグを除去するとともに、スイッチ43をb側に操作して単体パケット蓄積用F I F Oメモリ45に入力する。伝送路対応部47では、多重パケット組み立て用F I F Oメモリ44にある程度の個数の単体パケットが蓄積されたとき、スイッチ46をc側に操作して多重パケット組み立て用F I F Oメモリ44の内容を出力させ、それらをまとめて多重パケットとして伝送路に送出する。それ以外のときはスイッチ46をd側に切り替えて、単体パケット蓄積用F I F Oメモリ45の内容を単体パケットとして伝送路に送出する。また伝送路対応部47では、パケットを伝送路に送出する際、フレームチェックシーケンスF C SとフラグFとを付加して、単体パケットは第7図(ハ)に示す形式とし、多重パケットは第7図(ハ)の形式として、伝送路へ送出する。

このように第6図ないし第9図によつて示された実施例によれば、マトリクス型スイッチングユニットを用いたパケット通信方式において、多重



パケット方式を適用することによつて、大容量パケットスイッチを実現することができ、音声や動画の伝送をパケット方式で統合する、大規模なネットワークを容易に構成することができるようになる。

上記の実施例はさらにパケットに優先度を付与して、第2 F I F O、第3の F I F Oの内部を、優先度の異なる F I F Oを複数個並列接続する構成とした場合にも、容易に拡張することができる。

#### (変形例)

第10図は第2 F I F Oメモリおよび第3 F I F Oメモリの内部を複数優先度の F I F Oメモリで構成した場合の構成例を示している。同図において、81はスイッチ、82は最優先 F I F Oメモリ、83は優先 F I F Oメモリ、84は非優先 F I F Oメモリ、85はスイッチである。

第10図において、スイッチ81はパケットの入力側からの優先度指定に応じて切り替えられ、パケット入力を指定された優先度に応じて最優先 F I

F Oメモリ82、優先 F I F Oメモリ83、非優先 F I F Oメモリ84のいずれかに入力する。一方、スイッチ85はパケット出力側からの優先度指定によつて切り替えられ、最優先 F I F Oメモリ82に内容があるときは常にこれからパケットを出力し、最優先 F I F Oメモリ82に内容がないときは、優先 F I F Oメモリ83の内容が優先的に出力される。非優先 F I F Oメモリ84の内容は、最優先 F I F Oメモリ82、優先 F I F Oメモリ83のいずれにも内容がないとき、出力される。

第11図はこの場合の受信転送回路の構成例を示し、第8図に示された受信転送回路とはほぼ同様であつて、同じ部分を同じ番号で示しているが、第11図の場合と比較して、マッピング R A M 86がマッピング R A M 63の場合の出力情報に加えて、優先度の情報を出力する点において、異なっている。優先度の情報は第3 F I F Oメモリに送られて、第10図に示された方式で優先度の指定に用いられる。

第12図は優先度を考慮した場合の、受信転送回

路から第3 F I F Oメモリへ送出されるパケットの形式を示したものであつて、第7図の(ハ)に対応するパケットのさらに先頭に、優先度の情報が付加されている。

第13図は優先度を考慮した場合の送信転送回路の構成例を示し、第9図に示された送信転送回路と同じ番号で示す同様の動作を行う部分に対し、優先度発生部87を具えて第3 F I F Oメモリに対する優先度指定と、第2 F I F Oメモリに対する優先度指定とを行うことが示されている。

この場合の伝送路上のパケット形式は、単体パケットの場合は第7図の(ハ)に示すものと同じであり、多重パケットの場合は第7図の(ロ)に示すものと同じであつて、パケットに優先度を付与してもパケットに新たな情報は付加されない。

#### (発明の効果)

以上説明したように本発明によれば、短いパケットを複数個多重化して1個のパケットとして伝送することができ、かつこの際新たな情報をパケッ

トに付加する必要がないので、伝送路の伝送容量を増加させることができ、伝送効率を向上させることができる。さらに本発明によれば多重パケット方式によつて大容量のマトリクス型スイッチングユニットを実現することができ、従つて多重パケット通信方式の交換容量を増大させることができる。

本発明の方式はパケットによる音声通信や画像通信のように、端末から発生するパケット長が一定であるような通信方式の場合に特に好適であつて、音声、データ、動画像等をパケット方式で統合する大規模なネットワークの構築が可能になるものである。

#### 4. 図面の簡単な説明

第1図は本発明の原理的構成を示す図、

第2図は本発明の一実施例の全体構成を示す図、

第3図は第2図における各部のパケット形式を示す図、

第4図はパケットスイッチの構成例を示す図、

第5図は伝送路送信部の構成例を示す図、

第6図は本発明が適用されるパケットスイッチの全体構成を示す図、

第7図は第6図における各部のパケット形式を示す図、

第8図は受信転送回路の構成例を示す図、

第9図は送信転送回路の構成例を示す図、

第10図は優先度を付与したFIFOの構成例を示す図、

第11図は優先度を考慮した場合の受信転送回路の構成例を示す図、

第12図は優先度を考慮した場合の受信転送回路から第3FIFOへのパケット形式を示す図、

第13図は優先度を考慮した場合の送信転送回路の構成例を示す図、

第14図は従来のパケット通信方式における伝送路上のパケット形式を示す図である。

11-1, 11-2, 21-1, 21-2, 34-1, 34-2: 端末

12-1, 12-2: パケットスイッチ

13-1, 13-2, 35: 伝送路送信部

14, 22: 伝送路受信部

23-1, 23-2, 23-3: 入力FIFO

24: 入力用バス

25, 61: ボーリングアドレス発生部

26, 62: LCNラッチ

27, 63, 86: マッピングRAM

28, 64: パケット転送部

29, 65: パケット長カウンタ

30, 66: 新LCN付け換え部

31: 多重化フラグ付加部

32: 出力用バス

33-1, 33-2, 33-3, 41: 出力用FIFO

42: 多重化フラグ除去部

43, 46, 81, 85: スイッチ

44: 多重パケット組立用FIFO

45: 単独パケット蓄積用FIFO

47: 伝送路対応部

50-1, ..., 50-m: 第1のFIFO

51-1, 51-2, ..., 51-n, 53-1, 53-2, 53-n: Xバス

52-1, 52-2, ..., 52-n: 受信転送回路

54-1, 54-2, ..., 54-k: 第3のFIFO

55-1, 55-2, ..., 55-k, 57-1, 57-2, 57-k: Yバス

56-1, 56-2, ..., 56-k: 送信転送回路

58-1, ..., 58-k: 第2のFIFO

67: 多重化フラグ第2FIFOアドレス付加部

71: ボーリングアドレス発生カウンタ

72: 第2FIFOアドレス除去部

73: 第2FIFOアドレスレジスタ

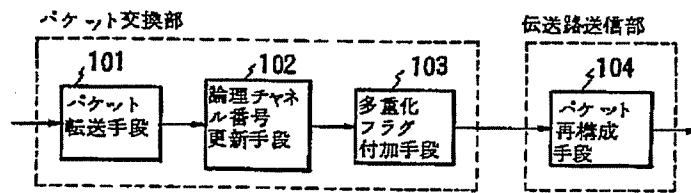
82: 最優先FIFO

83: 優先FIFO

84: 非優先FIFO

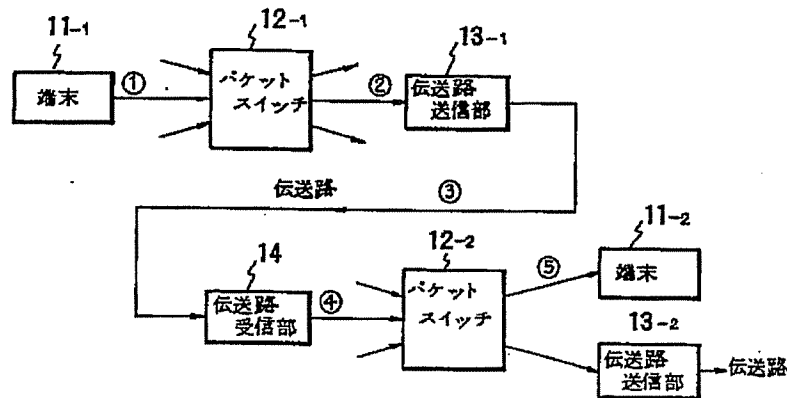
87: 優先度発生部

特許出願人 富士通株式会社  
代理人 弁理士 玉蟲久五郎(外1名)



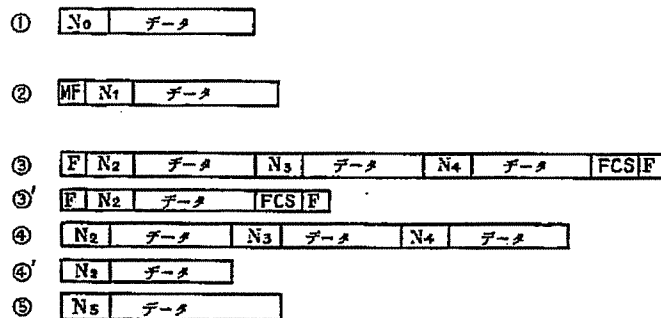
本発明の原理的構成を示す図

第 1 図



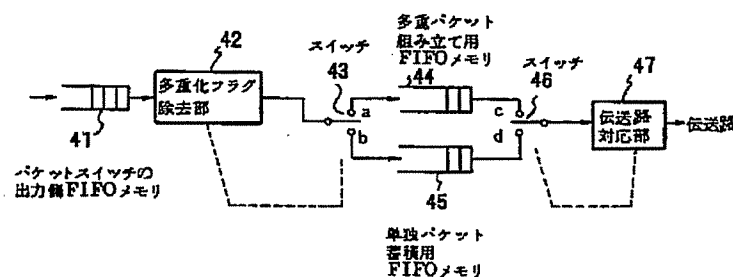
本発明の一実施例の全体構成を示す図

第 2 図



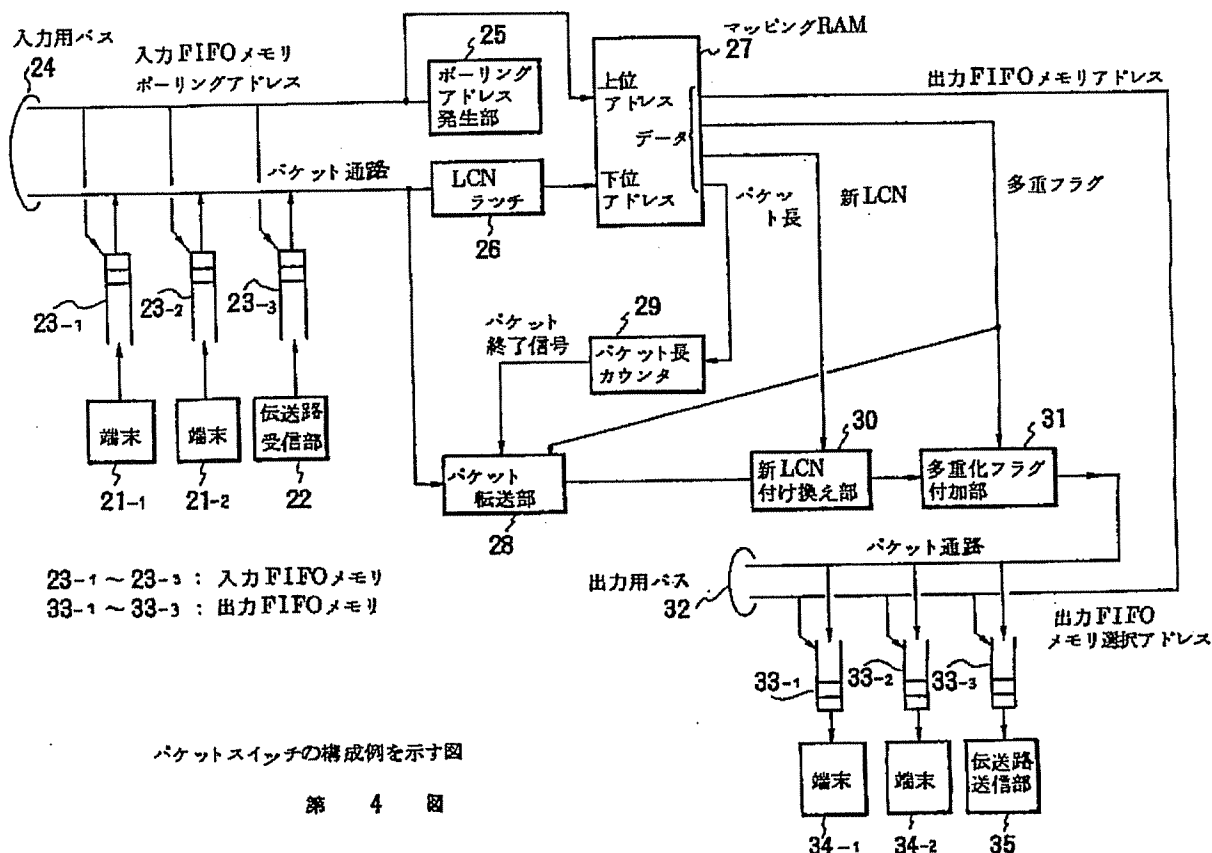
第 2 図における各部のパケット形式を示す図

第 3 図



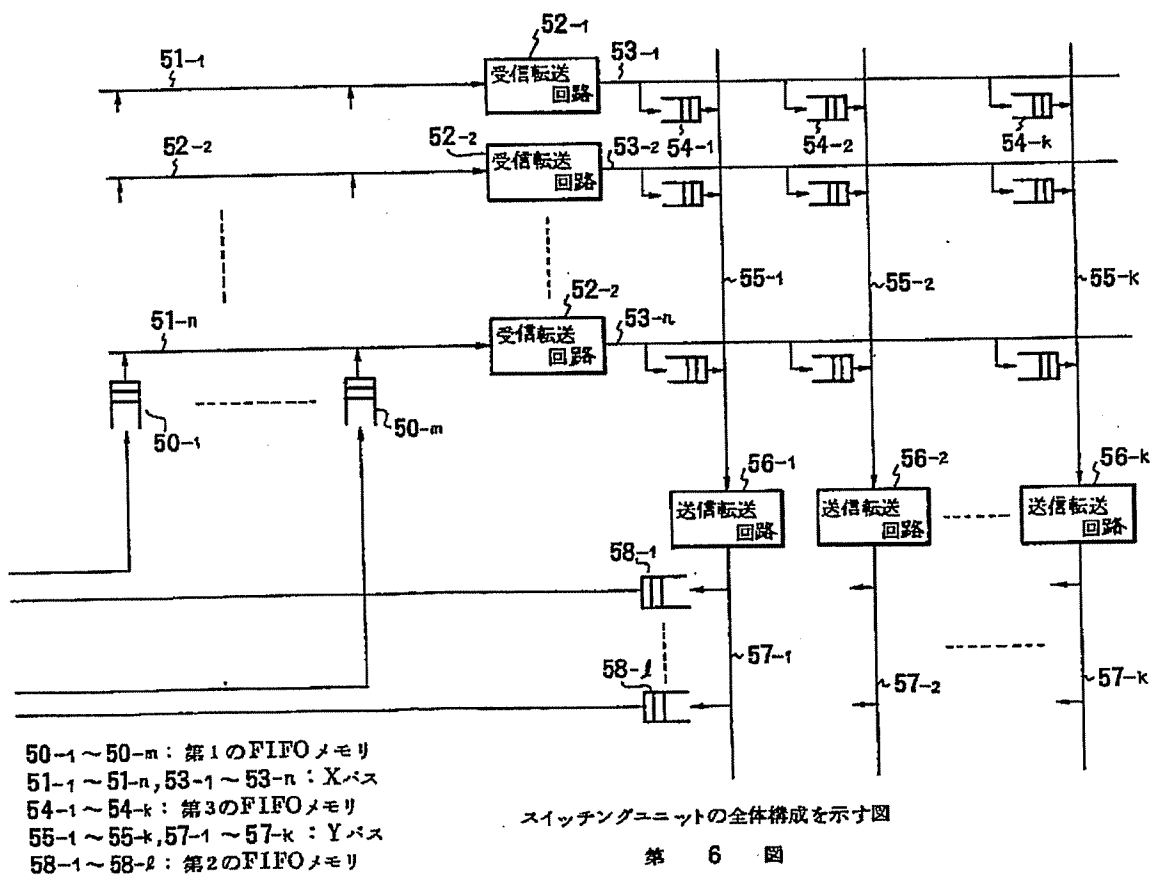
伝送路送信部の構成例を示す図

第 5 図



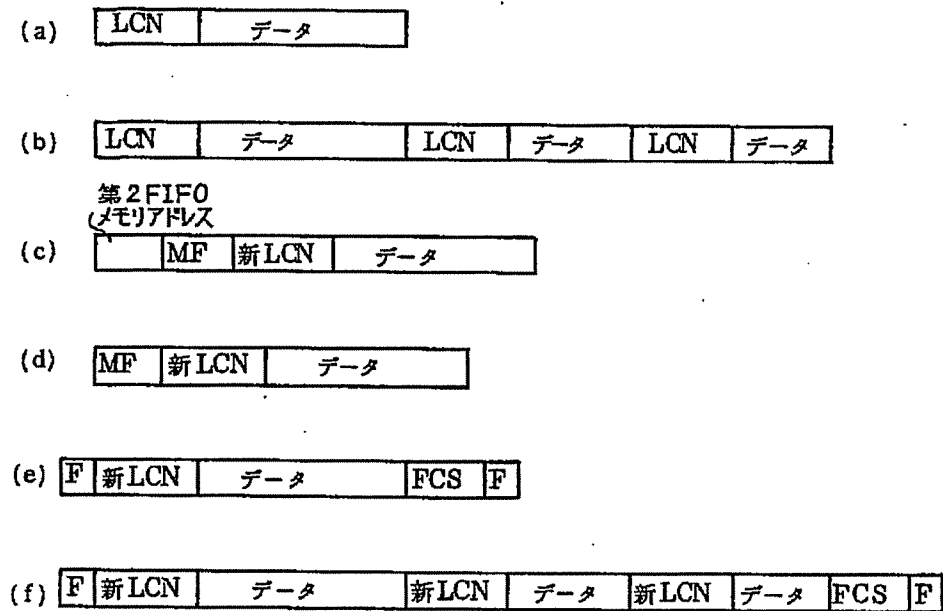
パケットスイッチの構成例を示す図

第 4 回



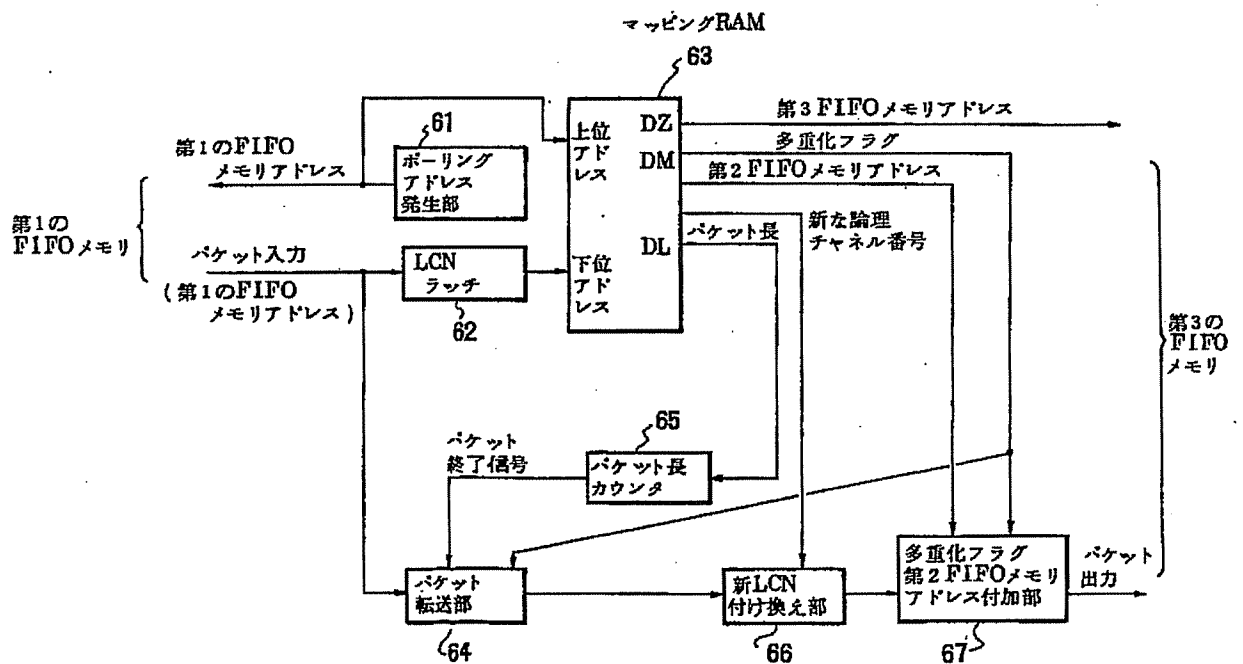
スイッチングユニットの全体構成を示す図

第 6 圖



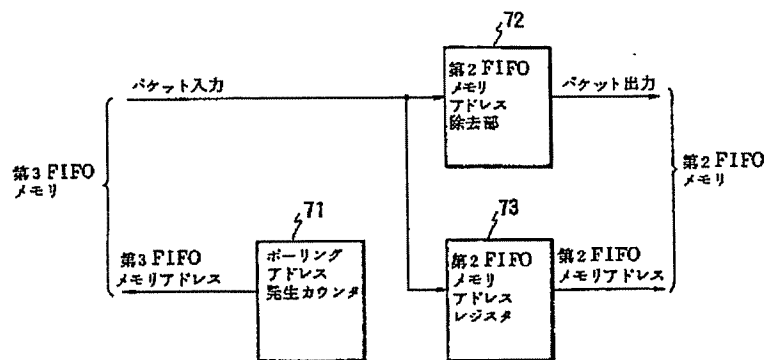
第6図における各部のバケット形式を示す図

第 7 図



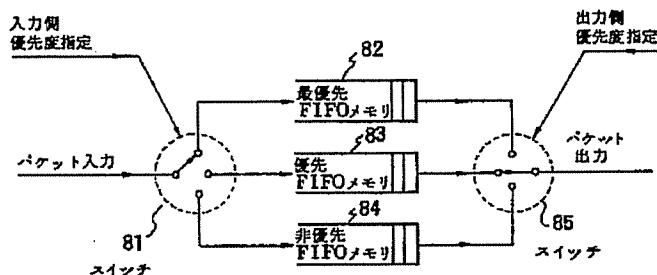
受信転送回路の構成例を示す図

第 8 図



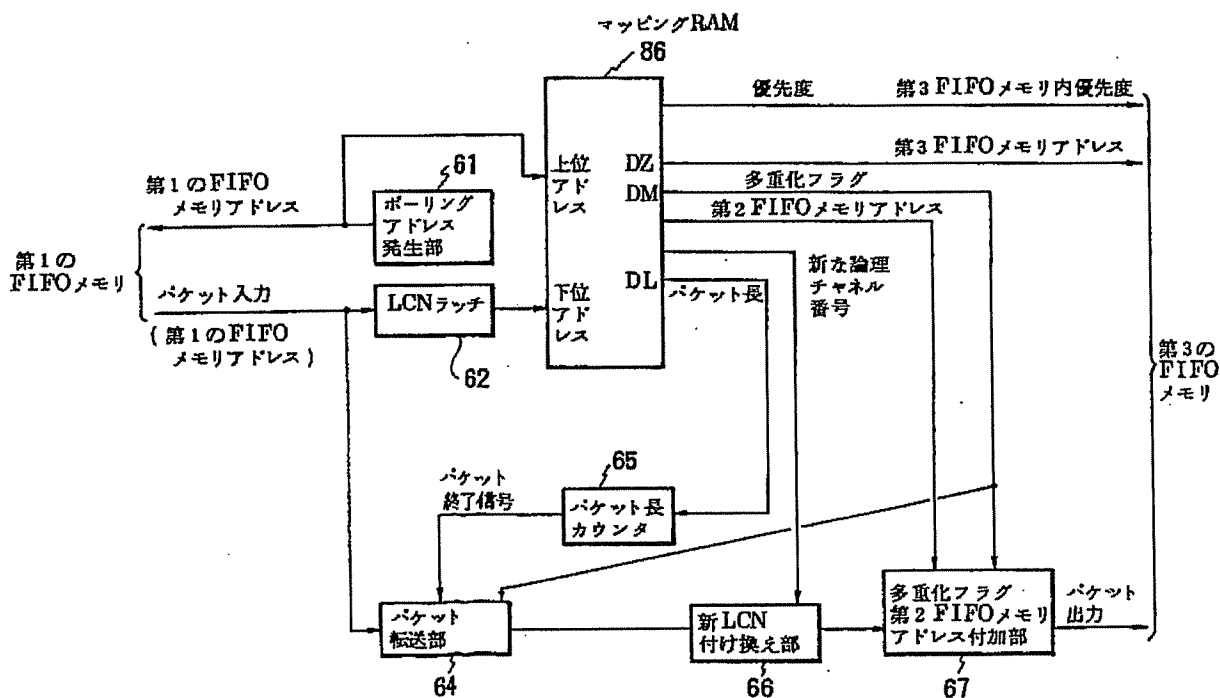
送信転送回路の構成例を示す図

第 9 図



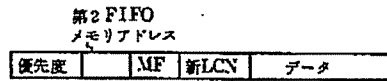
優先度を付与したFIFOメモリの構成例を示す図

第 10 図



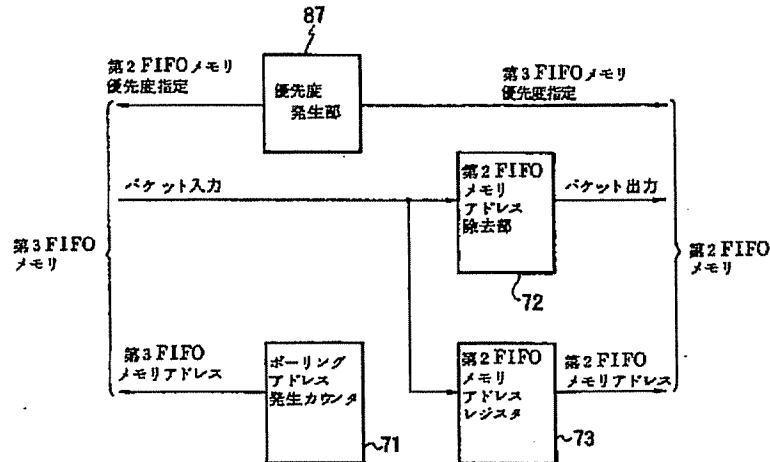
優先度を考慮した受信転送回路の構成例を示す図

第 11 図



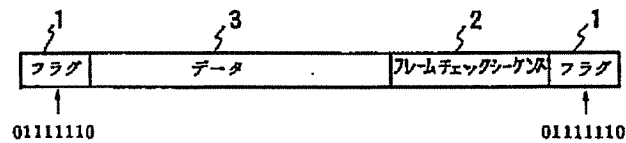
優先度を考慮した場合の受信転送回路から第3 FIFOメモリへの  
パケット形式を示す図

第 12 図



優先度を考慮した送信転送回路の構成例を示す図

第 13 図



従来のパケット形式を示す図

第 14 図